

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

jc586 U.S. PTO  
09/583171  
05/30/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 1999年 6月 1日

出願番号  
Application Number: 平成11年特許願第154044号

出願人  
Applicant(s): 株式会社村田製作所

2000年 3月17日

特許庁長官  
Commissioner,  
Patent Office

近藤隆彦

出証番号 出証特2000-3017721

【書類名】 特許願

【整理番号】 28-1137

【提出日】 平成11年 6月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01P 9/00  
H01P 3/08

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村  
田製作所内

【氏名】 鶴 輝久

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村  
田製作所内

【氏名】 松本 充弘

【特許出願人】

【識別番号】 000006231

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号

【氏名又は名称】 株式会社村田製作所

【代表者】 村田 泰隆

【電話番号】 075-955-6731

【手数料の表示】

【予納台帳番号】 005304

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書  
【発明の名称】 デイレイライン  
【特許請求の範囲】

【請求項 1】 誘電体基板の一方主面に伝送線路を設け、他方主面に接地導体を設けて構成したデイレイラインであって、

前記誘電体基板に、前記伝送線路に並列接続される可変容量コンデンサ及びダイオードの少なくとも一方を設けたことを特徴とするデイレイライン。

【請求項 2】 複数の誘電体層が積層された積層体と、該積層体内に埋設された伝送線路と、該伝送線路及び前記誘電体層を介して相対するように設けられた複数の接地導体とを備えたデイレイラインであって、

前記積層体に、前記伝送線路に並列接続される可変容量コンデンサ及びダイオードの少なくとも一方を設けたことを特徴とするデイレイライン。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コンピュータや計測器等において信号伝達を遅延させるために用いるデイレイラインに関し、特に、遅延時間の調整が可能なデイレイラインに関する。

【0002】

【従来の技術】

図 9 は、デイレイラインの従来例の正面図である。デイレイライン 80 は、誘電体基板 81 の一方主面にミアンダ状に折り曲げて蛇行させた信号線路用の伝送線路 82 が、誘電体基板 81 の他方主面のほぼ全面に接地導体（図示せず）がそれぞれ形成され、伝送線路 82 の両端に入力端子 83、出力端子 84 がそれぞれ接続された構成のものである。そして、伝送線路 82 の全長によって、入力端子 83 と出力端子 84 との間の遅延時間が決まる。このため、遅延時間によっては、図 9 のように、ミアンダ状の伝送線路 82 の途中に中間タップ用端子 85 を設け、この中間タップ用端子 85 を例えば出力端子として用いることにより、遅延時間を変更するようにしている。なお、中間タップ用端子 85 は、伝送線路 82

への接続位置を変え得るようになっており、その位置を変更することによっても遅延時間を調整できる。

#### 【0003】

##### 【発明が解決しようとする課題】

ところが、上記従来のディレイラインのように、遅延時間によって出力端子の位置が異なるため、プリント基板などへ実装した後は遅延時間の調整が不可能であるといった問題がある。

#### 【0004】

また、3つの端子のうち1つは不使用状態となり、その使用しない端子が容量を形成したり、あるいはスタブとして働いて信号の反射が起こったりする不具合が生じるといった問題もある。

#### 【0005】

さらに、図9のように伝送線路がミアンダ状の場合には、中間タップ用端子はミアンダ状の伝送線路の下側の湾曲部にしか接続できず、その結果、連続的に遅延時間を調整できないといった問題もある。

#### 【0006】

本発明は、このような問題点を解決するためになされたものであり、実装後であっても遅延時間の調整ができ、かつ連続的に遅延時間を調整できるディレイラインを提供することを目的とする。

#### 【0007】

##### 【課題を解決するための手段】

上述する問題点を解決するため本発明は、誘電体基板の一方主面に伝送線路を設け、他方主面に接地導体を設けて構成したディレイラインであって、前記誘電体基板に、前記伝送線路に並列接続される可変容量コンデンサ及びダイオードの少なくとも一方を設けたことを特徴とする。

#### 【0008】

また、複数の誘電体層が積層された積層体と、該積層体内に埋設された伝送線路と、該伝送線路及び前記誘電体層を介して相対するように設けられた複数の接地導体とを備えたディレイラインであって、前記積層体に、前記伝送線路に並列

接続される可変容量コンデンサ及びダイオードの少なくとも一方を設けたことを特徴とする。

## 【0009】

本発明のディレイラインによれば、伝送線路に並列接続された可変容量コンデンサ及びダイオードの少なくとも一方を設けるため、可変容量コンデンサやダイオードの容量を変化させることにより、プリント基板への実装後であっても遅延時間を連続的に調整できる。

## 【0010】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施例を説明する。

図1は、本発明のディレイラインに係る第1の実施例の(a)上面図及び(b)断面図である。ディレイライン10は、誘電体基板11を備え、誘電体基板11の一方主面にはミアンダ状に折り曲げて蛇行させた信号線路用の伝送線路12が、誘電体基板11の裏面にはほぼ全面に接地導体13がそれぞれ形成される。

## 【0011】

そして、伝送線路12と並列に可変容量コンデンサであるトリマコンデンサ14が接続される。また、伝送線路12の両端には入力端子15、出力端子16が、接地導体13にはグランド端子17、18がそれぞれ接続される。

## 【0012】

図2は、図1のディレイラインの等価回路図である。ディレイライン10は、入力端子15と出力端子16との間に、伝送線路12と接地導体13とで形成されるマイクロストリップラインのインダクタンス成分Lとトリマコンデンサ14の容量成分Cとが並列に接続されたものとなる。

## 【0013】

そして、通過特性において、 $1 / (2\pi (L \cdot C)^{1/2})$  で求められる周波数に減衰極が発生する。この減衰極により、伝送線路12を通過する高周波信号に位相変化が生じ、その結果、ディレイライン10の遅延時間が周波数に応じて変化するものとなる。

## 【0014】

図 3 は、図 1 のディレイライン 1 0 の通過特性及び遅延時間の周波数依存性を示す図である。図 3 において、実線は通過特性、破線は遅延時間を示す。なお、伝送線路 1 2 のインダクタンス成分  $L$  は 2 0 (nH)、トリマコンデンサ 1 4 の容量  $C$  は 0. 5 (pF) である。

## 【0 0 1 5】

この図から、通過特性において、 $1 / (2 \pi (L \cdot C)^{1/2})$  で求められる周波数である 1. 6 (GHz) 付近に減衰極が生じ、その減衰極の影響で遅延時間が大きく変化していることが解る。

## 【0 0 1 6】

図 4 は、図 1 のディレイライン 1 0 の遅延時間の変化を示す図である。図 4 において、横軸はトリマコンデンサ 1 4 の容量、縦軸がディレイライン 1 0 の遅延時間を示す。また、実線は 1. 5 GHz における変化、破線は 1. 7 GHz における変化である。

## 【0 0 1 7】

この図から、トリマコンデンサ 1 4 の容量を調整することにより、ディレイライン 1 0 の遅延時間を調整することが可能となることは解る。これは、トリマコンデンサ 1 4 の容量を変化させることにより、 $1 / (2 \pi (L \cdot C)^{1/2})$  で求められる通過特性における減衰極の発生する周波数が変化するためである。

## 【0 0 1 8】

上述の第 1 の実施例のディレイラインによれば、伝送線路と並列に可変容量コンデンサが接続されるため、トリマコンデンサの容量を連続的に変化させることにより、プリント基板への実装後であっても、通過特性における減衰極の発生する周波数を連続的に変化させる。したがって、ディレイラインの遅延時間を連続的に変化させ、所望の遅延時間を得ることが可能となる。

## 【0 0 1 9】

図 5 は、本発明のディレイラインに係る第 2 の実施例の分解斜視図である。ディレイライン 2 0 は、酸化バリウム、酸化アルミニウム、シリカを主成分とする誘電体セラミックス（比誘電率  $\epsilon_r$  : 約 6. 0）からなる矩形状の誘電体層 2 1 1 ~ 2 1 5 を順次積層し、圧着した後、800 ~ 1000℃で一体焼成すること



により得られる直方体状の積層体 2 1 を備える。積層体 2 1 の側面と上下面部分には入力端子 2 2、出力端子 2 3 及び 2 つのグランド端子 2 4、2 5 が形成される。

#### 【0 0 2 0】

誘電体層 2 1 1、2 1 3 の上面には、略矩形状の接地導体 2 6 1、2 6 2 が形成される。また、誘電体層 2 1 2 の上面には、略ミアンダ状の伝送線路 2 7 が形成される。さらに、誘電体層 2 1 4、2 1 5 の上面には、略矩形状のコンデンサ電極 2 8 1、2 8 2 が形成される。

#### 【0 0 2 1】

この際、誘電体層 2 1 2 の上面に形成された伝送線路 2 7 の両端、及び誘電体層 2 1 1、2 1 3 の上面に形成された接地導体 2 6 1、2 6 2 の一部は、積層体 2 1 の側面に引き出され、入力端子 2 2、出力端子 2 3 及びグランド端子 2 4、2 5 にそれぞれ接続される。

#### 【0 0 2 2】

また、誘電体層 2 1 2 の上面の伝送線路 2 7 の一端と誘電体層 2 1 4 の上面のコンデンサ電極 2 8 1 とは、誘電体層 2 1 3、2 1 4 を貫通するように設けられたビアホール導体 2 9 1 により接続される。

#### 【0 0 2 3】

さらに、誘電体層 2 1 2 の上面の伝送線路 2 7 の他端と誘電体層 2 1 5 の上面のコンデンサ電極 2 8 2 とは、誘電体層 2 1 3 ~ 2 1 5 を貫通するように設けられたビアホール導体 2 9 2 により接続される。

#### 【0 0 2 4】

このような構成により、ディレイライン 2 0 は、入力端子 2 2 と出力端子 2 3 との間に、伝送線路 2 7 と接地導体 2 6 1、2 6 2 とで形成されるストリップラインのインダクタンス成分 L とコンデンサ電極 2 8 1、2 8 2 で形成される可変容量コンデンサ 2 8 の容量成分 C とが並列接続されたものになる。

#### 【0 0 2 5】

この際、ディレイライン 2 0 の等価回路は、ディレイライン 1 0 の等価回路である図 2 と同様の回路構成となる。

## 【0026】

なお、積層体 2 1 の側面と上下面部分に形成される入力端子 2 2、出力端子 2 3 及びグランド端子 2 4、2 5 は、印刷された導電ペーストを積層体 2 1 と同時焼成するか、積層体 2 1 を焼成した後に焼付けるかによって形成される。

## 【0027】

そして、積層体 2 1 の上面に形成されたコンデンサ電極 2 8 2 をレーザなどでトリミングすることにより、可変容量コンデンサ 2 8 の容量を連続的に変え、第 1 の実施例のディレイライン 1 0 (図 1) と同様に、ディレイライン 2 0 の遅延時間を連続的に変えられるようになる。

## 【0028】

図 6 は、図 5 のディレイラインの変形例の断面図である。ディレイライン 2 0 a は、図 5 のディレイライン 2 0 と比較して、接地導体 2 6 1 a、2 6 2 a 及び伝送線路 2 7 a が内部に形成された積層体 2 1 a の上面に、コンデンサ電極 2 8 1、2 8 2 で形成される可変容量コンデンサ 2 8 (図 5) に変えて、トリマコンデンサ 2 8 a を搭載する点で異なる。

## 【0029】

この際、伝送線路 2 7 a とトリマコンデンサ 2 8 a とは、積層体 2 1 a の内部に設けられたビアホール導体 2 9 1 a、2 9 2 a で接続される。

## 【0030】

上述の第 2 の実施例のディレイラインによれば、伝送線路と並列に可変容量コンデンサが接続されるため、トリマコンデンサの容量を連続的に変化させることにより、プリント基板への実装後であっても、通過特性における減衰極の発生する周波数を連続的に変化させる。したがって、ディレイラインの遅延時間を連続的に変化させ、所望の遅延時間を得ることが可能となる。

## 【0031】

また、伝送線路を複数の誘電体層が積層された積層体に内部に形成するため、伝送線路と可変容量コンデンサとの配線も積層体の内部に形成することができる。したがって、これらの配線による損失が抑えられるため、より特性の優れたディレイラインを得ることが可能になる。



## 【0032】

図7は、本発明のディレイラインに係る第3の実施例の分解斜視図ある。ディレイライン30は、酸化バリウム、酸化アルミニウム、シリカを主成分とする誘電体セラミックス（比誘電率 $\epsilon_r$ ：約6.0）からなる矩形状の誘電体層311～314を順次積層し、圧着した後、800～1000℃で一体焼成することにより得られる直方体状の積層体31を備える。

## 【0033】

積層体31の上面にはバリキャップダイオード32が搭載され、積層体31の側面と上下面部分には入力端子33、出力端子34及び2つのグランド端子35、36が形成される。

## 【0034】

誘電体層311、313の上面には、略矩形状の接地導体371、372が形成される。また、誘電体層312の上面には、略ミアンダ状の伝送線路38が形成される。

## 【0035】

この際、誘電体層312の上面に形成された伝送線路38の両端、及び誘電体層311、313の上面に形成された接地導体371、372の一部は、積層体31の側面に引き出され、入力端子33、出力端子34及びグランド端子35、36にそれぞれ接続される。

## 【0036】

また、誘電体層312の上面の伝送線路38の一端と積層体31に搭載されるバリキャップダイオード32の一端とは、誘電体層313、314を貫通するように設けられたビアホール導体391により接続される。

## 【0037】

さらに、誘電体層312の上面の伝送線路38の他端と積層体31に搭載されるバリキャップダイオード32の他端とは、誘電体層313、314を貫通するように設けられたビアホール導体392により接続される。

## 【0038】

このような構成により、ディレイライン30は、入力端子33と出力端子34

との間に、伝送線路 3 8 と接地導体 3 7 1, 3 7 2 とで形成されるストリップラインのインダクタンス成分  $L$  とバリキャップダイオード 3 2 の容量成分  $C$  とが並列接続されたものになる。

#### 【0 0 3 9】

この際、ディレイライン 3 0 の等価回路は、ディレイライン 1 0 の等価回路である図 2 と同様の回路構成となる。

#### 【0 0 4 0】

なお、積層体 3 1 の側面と上下面部分に形成される入力端子 3 3、出力端子 3 4 及びグランド端子 3 5, 3 6 は、第 2 の実施例のディレイライン 2 0 の場合と同様に、印刷された導電ペーストを積層体 3 1 と同時焼成するか、積層体 3 1 を焼成した後に焼付けるかによって形成される。

#### 【0 0 4 1】

そして、積層体 3 1 の上面に搭載されたバリキャップダイオード 3 2 の印加電圧を変えることにより、バリキャップダイオード 3 2 の容量成分を連続的に変え、第 1 及び第 2 の実施例のディレイライン 1 0 (図 1), 2 0 (図 5) と同様に、ディレイライン 3 0 の遅延時間を連続的に変えられるようになる。

#### 【0 0 4 2】

図 8 は、図 7 のディレイラインの遅延時間の変化を示す図である。図 8 において、横軸がダイオード 3 2 への印加電圧、縦軸が遅延時間を示す。また、実線は 1. 5 G H z における変化、破線は 1. 7 G H z における変化である。

#### 【0 0 4 3】

この図から、バリキャップダイオード 3 2 への印加電圧を変化させることにより、伝送線路 3 8 の遅延時間を変化させることが可能となることが理解できる。これは、バリキャップダイオード 3 2 への印加電圧を変化させることにより、バリキャップダイオード 3 2 の容量成分が変化し、その結果、通過特性における減衰極の発生する周波数が変化するためである。

#### 【0 0 4 4】

上述の第 3 の実施例のディレイラインによれば、伝送線路と並列にバリキャップダイオードが接続されるため、バリキャップダイオードへの印加電圧を変化さ

せることにより、バリキャップダイオードの容量成分が変化する。したがって、通過特性における減衰極の発生する周波数が変化するため、ディレイラインの遅延時間を変化させることが可能となる。

#### 【0045】

なお、第1乃至第3の実施例では、誘電体層が酸化バリウム、酸化アルミニウム、シリカを主成分とするセラミックの場合について説明したが、比誘電率 ( $\epsilon_r$ ) が1以上であれば何れの材料でもよく、例えば酸化マグネシウム、シリカを主成分とするセラミックあるいはフッ素系樹脂等でも同様の効果が得られる。

#### 【0046】

また、可変容量コンデンサあるいはダイオードのいずれか一方を伝送線路に並列接続する場合について説明したが、可変容量コンデンサ及びダイオードの両方を並列接続してもよい。

#### 【0047】

第1の実施例では、可変容量コンデンサを伝送線路に並列接続する場合について説明したが、ダイオードを使用しても同様の効果が得られる。

#### 【0048】

第2及び第3の実施例では、接地導体が積層体の内部に存在している場合について説明したが、誘電体層を挟んで伝送線路及び接地導体が存在していればよく、接地導体が積層体の表面に存在していてもよい。

#### 【0049】

また、伝送線路と可変容量コンデンサあるいはダイオードとの接続手段として、ビアホール導体を用いた場合について説明したが、スルーホール導体を使用しても同様の効果が得られる。

#### 【0050】

#### 【発明の効果】

請求項1のディレイラインによれば、誘電体基板に、伝送線路に並列接続された可変容量コンデンサ及びダイオードの少なくとも一方を設けているため、可変容量コンデンサやダイオードの容量を連続的に変化させることにより、プリント基板への実装後であっても、通過特性における減衰極の発生する周波数を連続的

に変化させる。したがって、ディレイラインの遅延時間を連続的に変化させ、所望の遅延時間を得ることが可能となる。

【0051】

請求項2のディレイラインによれば、積層体に、伝送線路に並列接続された可変容量コンデンサ及びダイオードの少なくとも一方を設けているため、可変容量コンデンサやダイオードの容量を連続的に変化させることにより、プリント基板への実装後であっても、通過特性における減衰極の発生する周波数を連続的に変化させる。したがって、ディレイラインの遅延時間を連続的に変化させ、所望の遅延時間を得ることが可能となる。

【0052】

また、伝送線路を複数の誘電体層が積層された積層体に内部に形成するため、伝送線路と可変容量コンデンサとの配線も積層体の内部に形成することができる。したがって、これらの配線による損失が抑えられるため、より特性の優れたディレイラインを得ることが可能になる。

【図面の簡単な説明】

【図1】

本発明のディレイラインに係る第1の実施例の(a)上面図及び(b)断面図である。

【図2】

図1のディレイラインの等価回路図である。

【図3】

図1のディレイラインの通過特性及び遅延時間の周波数依存性を示す図である。

【図4】

図1のディレイラインの遅延時間のコンデンサ容量依存性を示す図である。

【図5】

本発明のディレイラインに係る第2の実施例の分解斜視図である。

【図6】

図5のディレイラインの変形例の断面図である。

【図 7】

本発明のディレイラインに係る第 3 の実施例の分解斜視図である。

【図 8】

図 7 のディレイラインの遅延時間の印加電圧依存性を示す図である。

【図 9】

従来のディレイラインを示す正面図である。

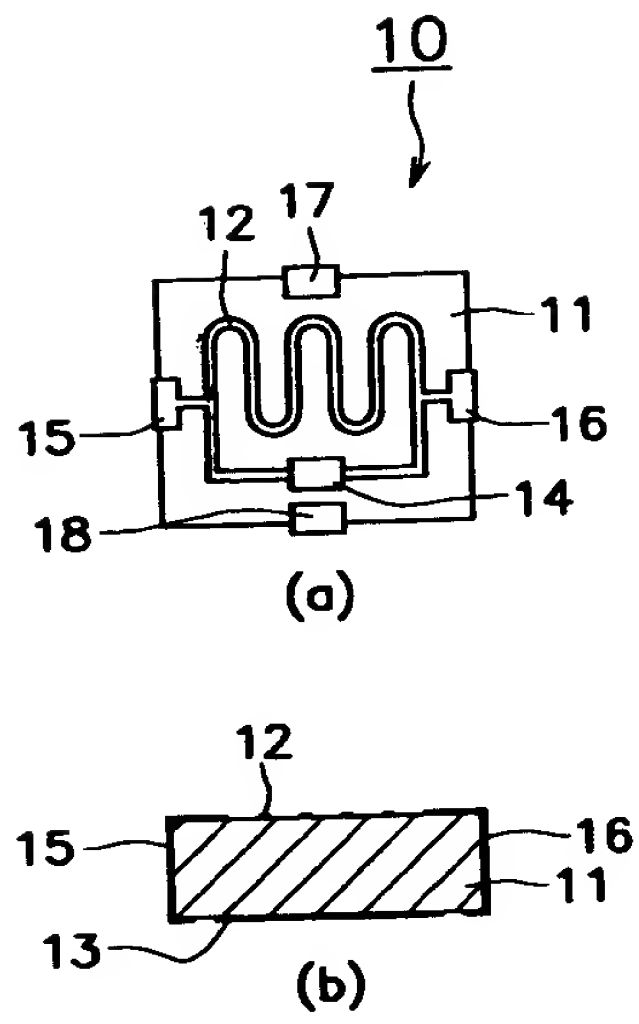
【符号の説明】

1 0, 2 0, 2 0 a, 3 0	ディレイライン
1 1	誘電体基板
1 2, 2 7, 2 7 a, 3 8	伝送線路
1 3, 2 6 1, 2 6 2, 2 6 1 a, 2 6 2 a, 3 7 1, 3 7 2	接地導体
1 4, 2 8, 2 8 a	可変容量コンデンサ
2 1, 2 1 a, 3 1	積層体
2 1 1 ~ 2 1 5, 3 1 1 ~ 3 1 4	誘電体層
3 2	ダイオード

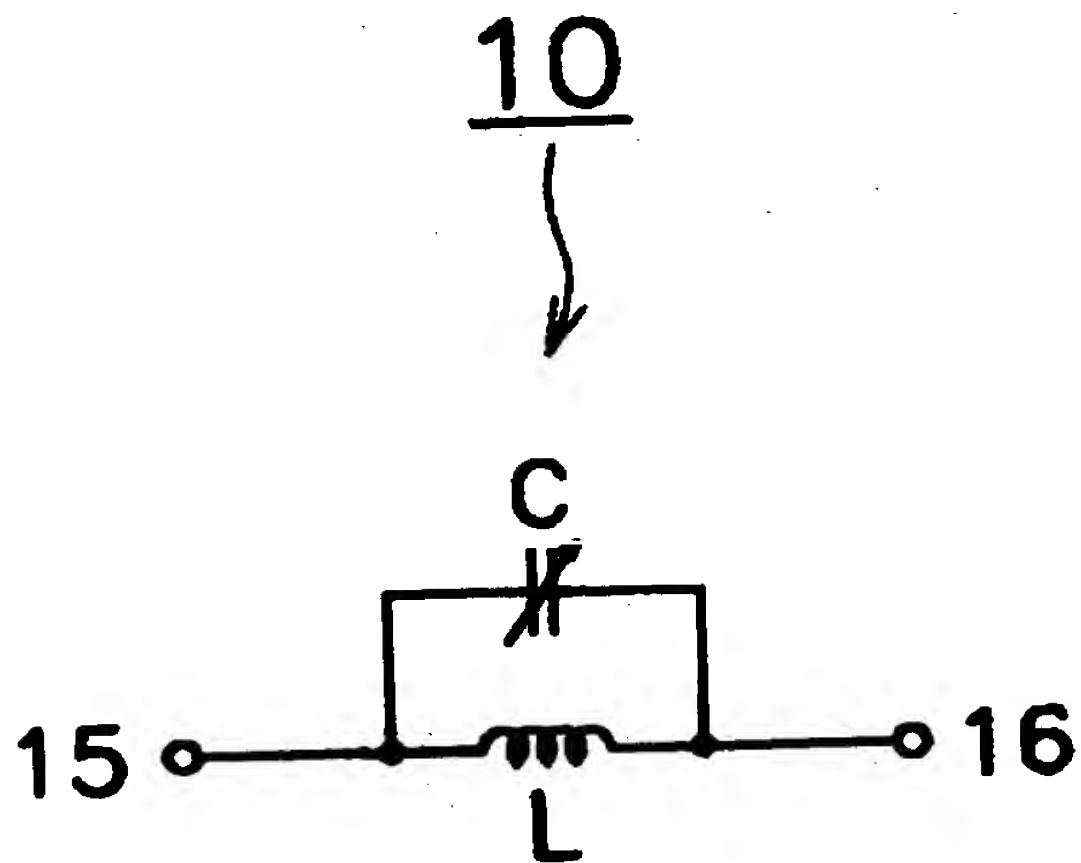
【書類名】

図面

【図 1】

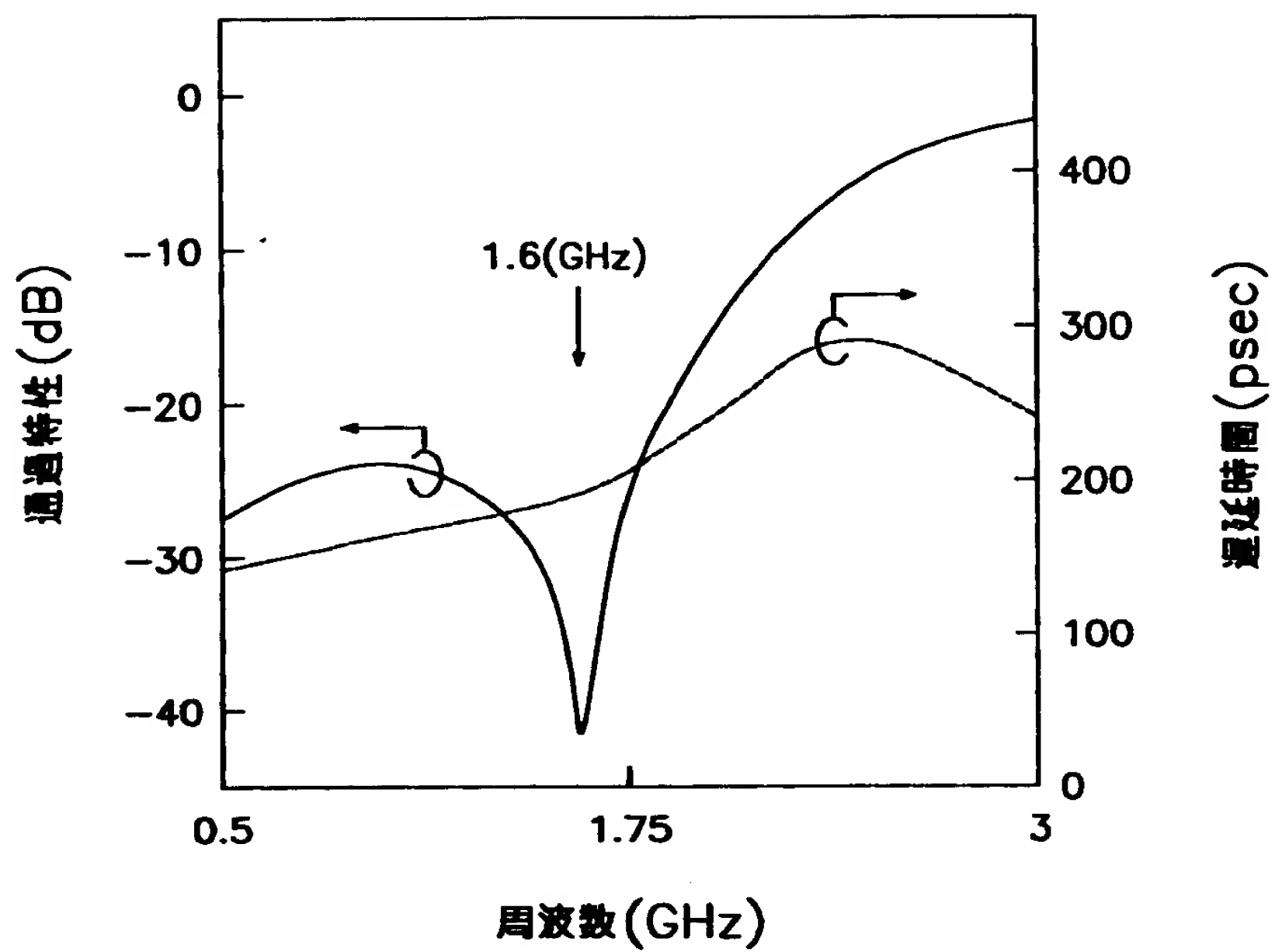


【図 2】

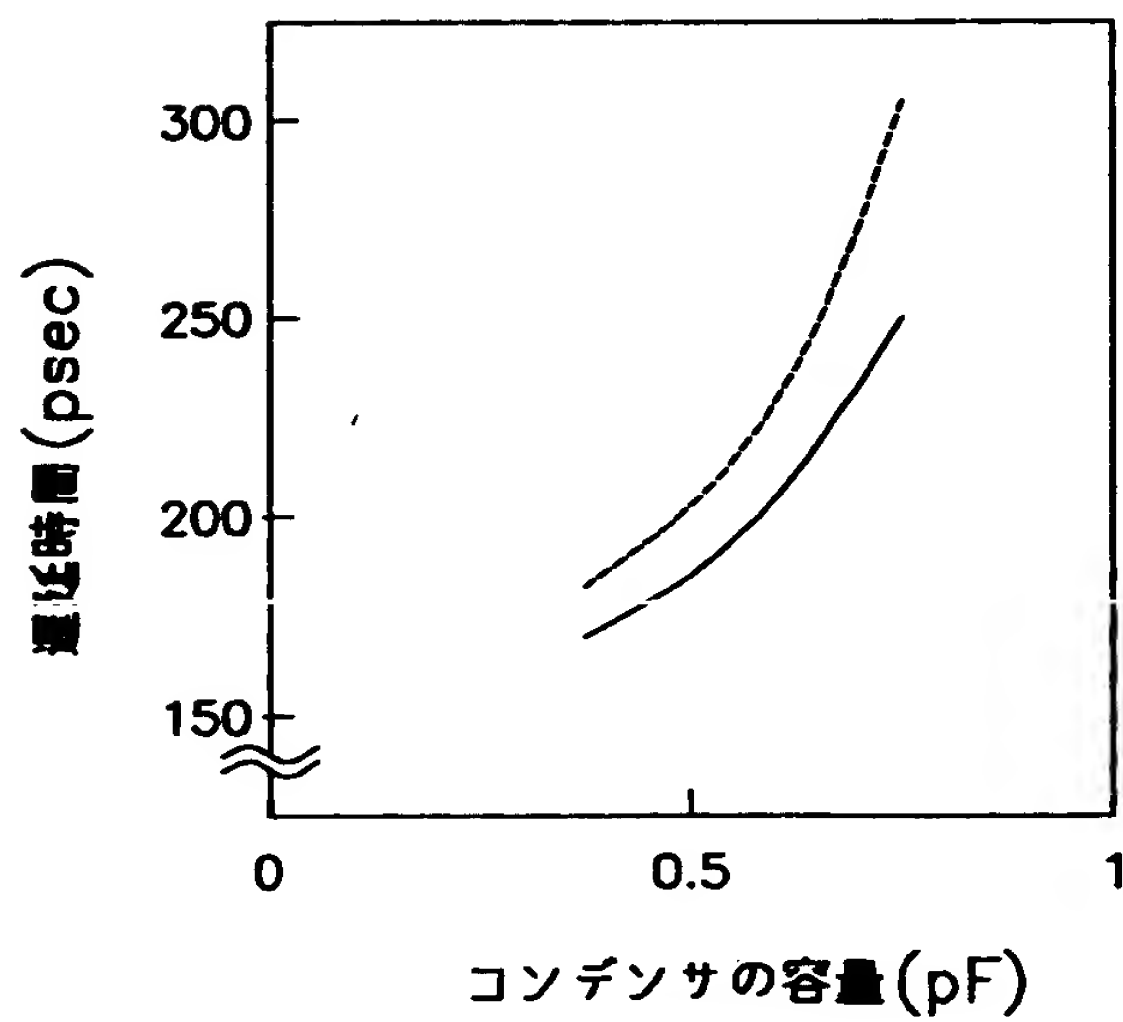




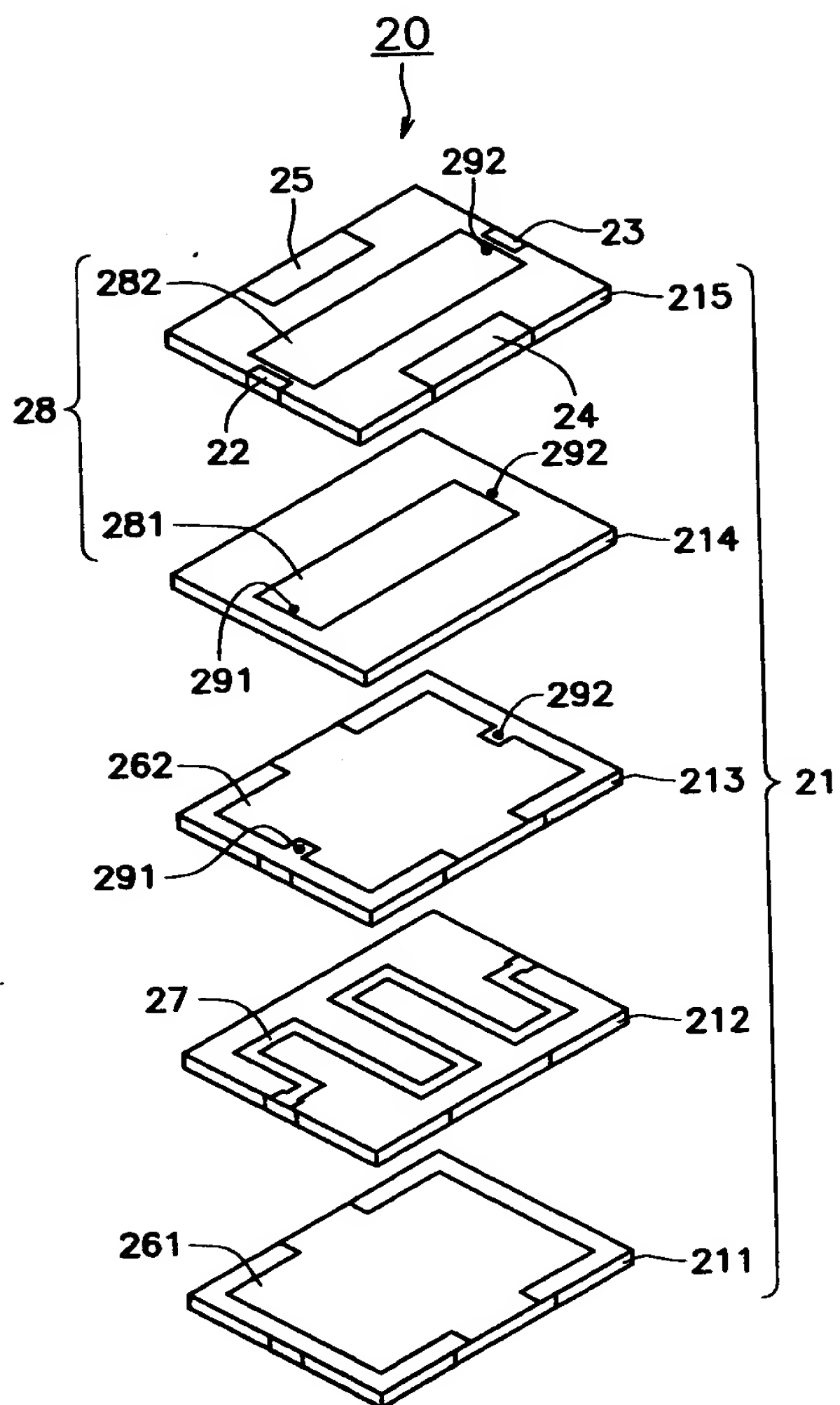
【図 3】



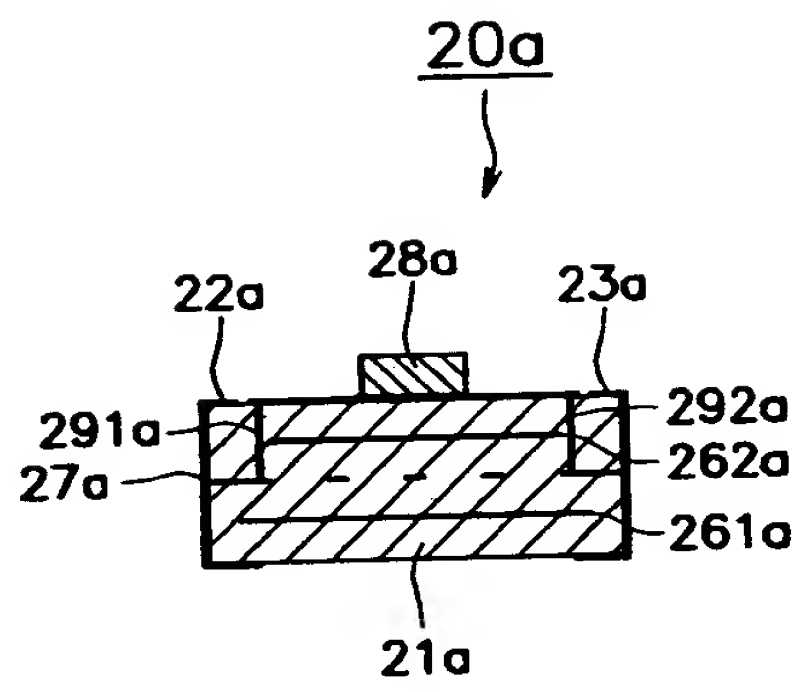
【図 4】



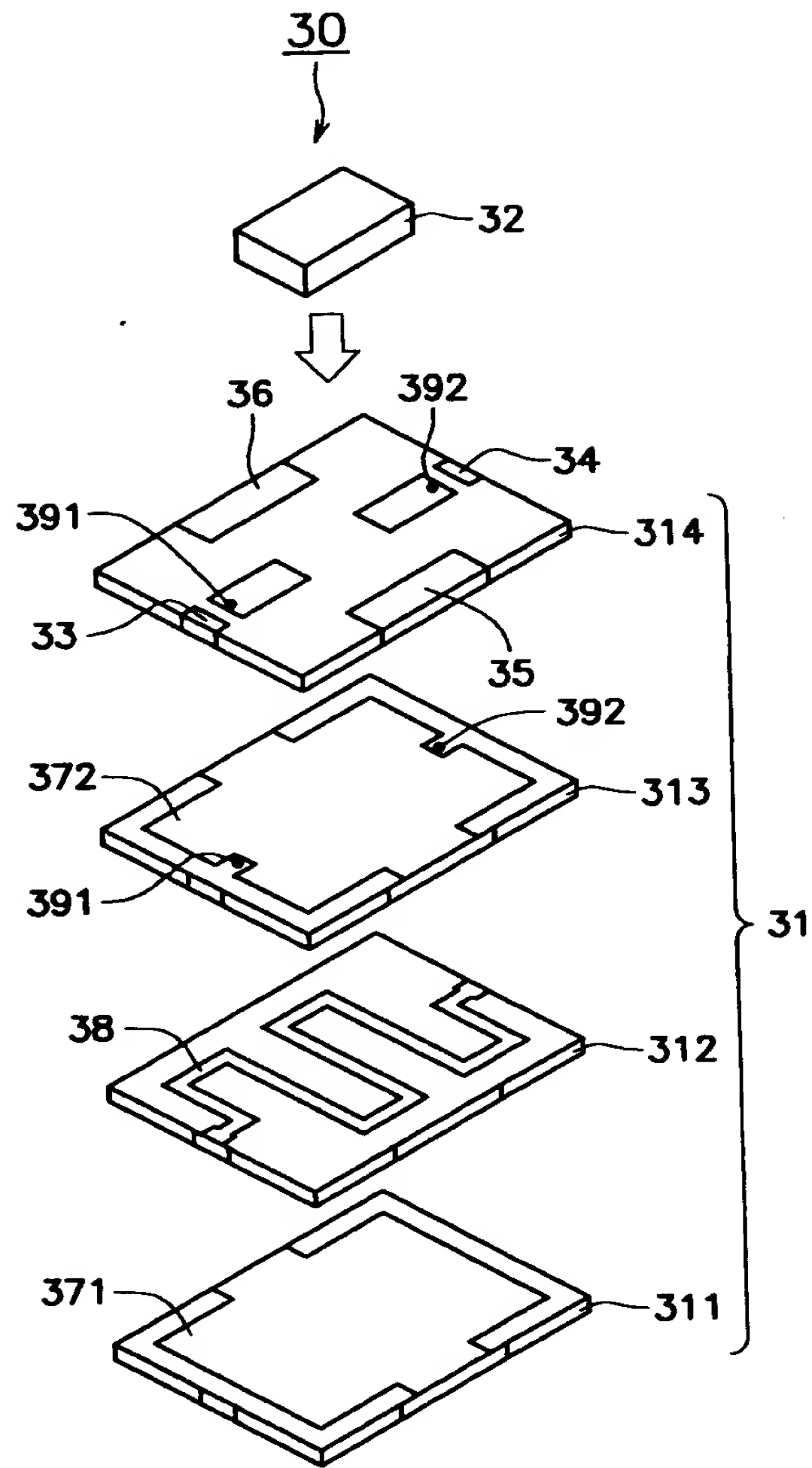
【図 5】



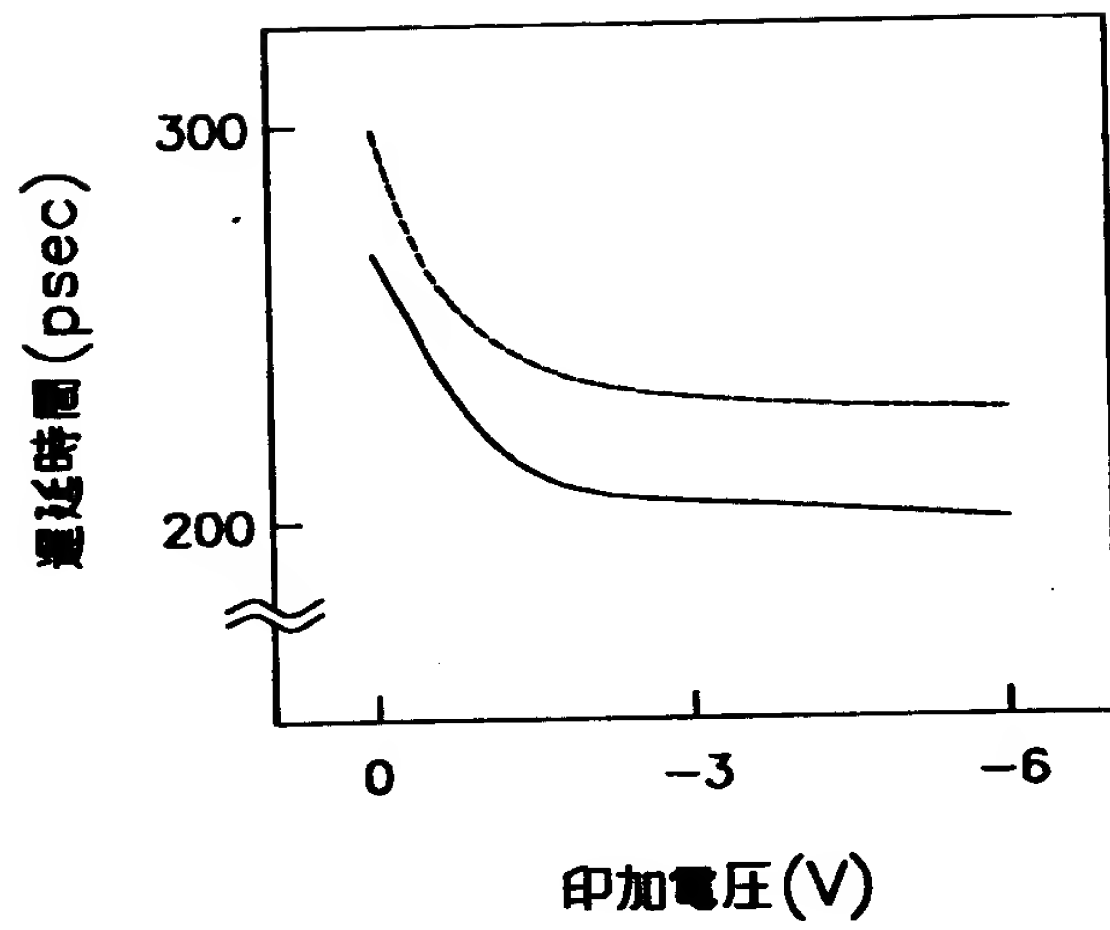
【図 6】



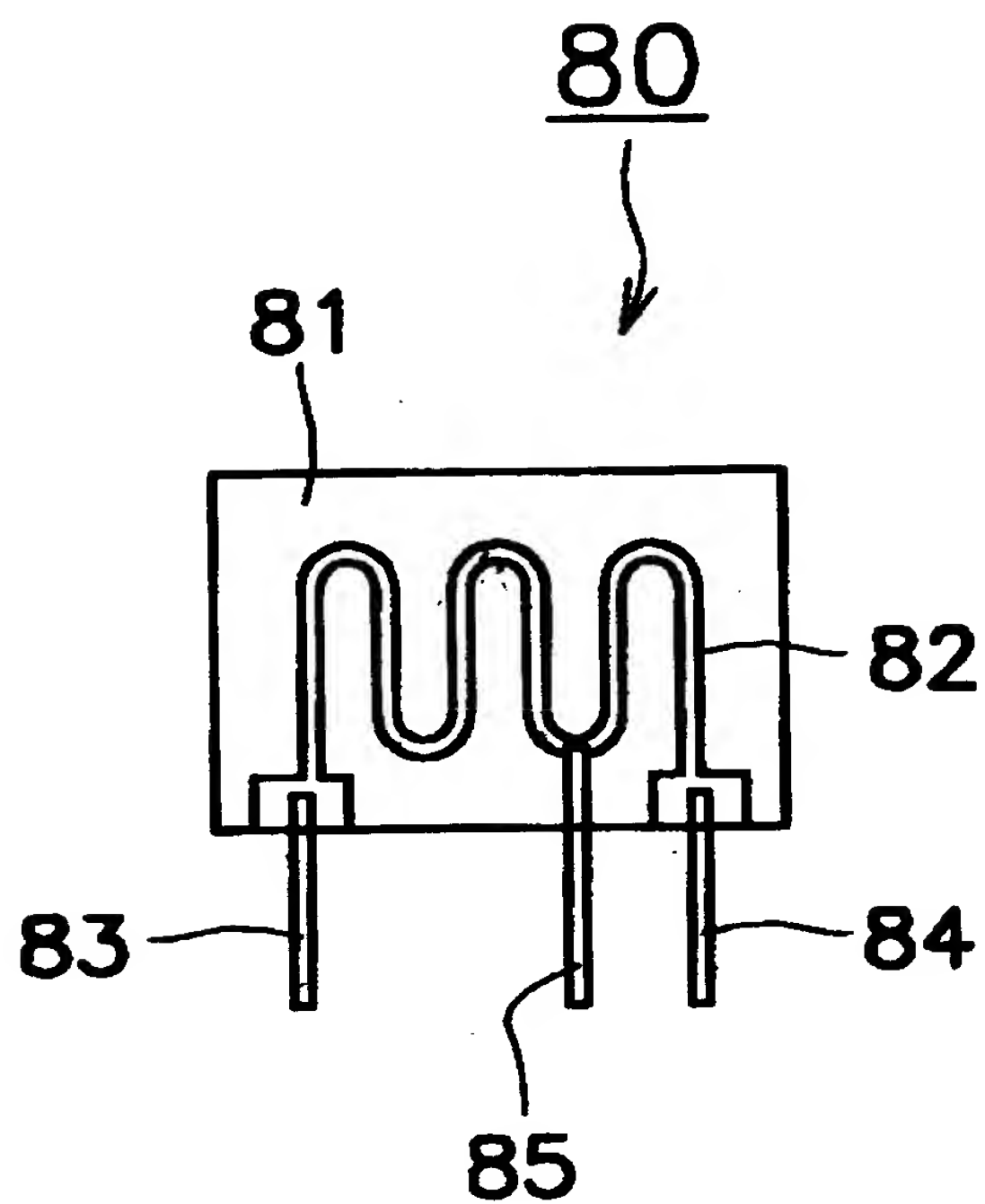
【図 7】



【图 8】



【図 9】





【書類名】 要約書

【要約】

【課題】 実装後であっても遅延時間の調整ができ、かつ連続的に遅延時間を調整できるディレイラインを提供する。

【解決手段】 ディレイライン 1 0 は、誘電体基板 1 1 を備え、誘電体基板 1 1 の一方主面にはミアンダ状に折り曲げて蛇行させた信号線路用の伝送線路 1 2 が、誘電体基板 1 1 の裏面にはほぼ全面に接地導体 1 3 がそれぞれ形成される。そして、伝送線路 1 2 と並列に可変容量コンデンサであるトリマコンデンサ 1 4 が接続される。また、伝送線路 1 2 の両端には入力端子 1 5、出力端子 1 6 が、接地導体 1 3 にはグランド端子 1 7、1 8 がそれぞれ接続される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 2 3 1 ]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 京都府長岡京市天神二丁目 2 6 番 1 0 号

氏 名 株式会社村田製作所